

## English Abstract

JP 55-59492

- Title of the Invention: Matrix Panel Display Device

- Scope of the Claims

1. A matrix panel display device comprising light emitting devices such as LEDs arranged in rows (horizontal direction) and columns (vertical direction) spaced apart by a predetermined interval, wherein odd-numbered and even-numbered light emitting devices in each column are connected to independent first and second signal electrode groups, respectively, while each row of light emitting devices is connected to a corresponding scanning electrode, thereby forming a matrix panel, and wherein a PWM signal corresponding to pixel pattern information corresponding to the first and second signal electrode groups is applied row-by-row, while a scanning pulse of width  $2H$  ( $H$  is the horizontal scanning time of an original image signal or an integer multiple thereof), delayed by  $H$ , is sequentially applied to each of the scanning electrodes to shift the light emitting devices of 2 mutually adjacent rows by one row each while performing display.

## ⑫ 公開特許公報 (A)

昭55-59492

⑤ Int. Cl.<sup>3</sup>  
G 09 G 3/04

識別記号

庁内整理番号  
7013-5C

④ 公開 昭和55年(1980)5月2日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ マトリックスパネル表示装置

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑰ 特 願 昭53-133592

⑰ 出 願 人 三洋電機株式会社

⑱ 出 願 昭53(1978)10月27日

守口市京阪本通2丁目18番地

⑲ 発 明 者 黒田朔郎

↓  
Applicant: Sanyo Electric Co. Ltd.

2

## 明 細 書

1. 発明の名称 マトリックスパネル表示装置

2. 特許請求の範囲

(1) 一定間隔で行(横方向)、列(縦方向)に沿って配列したLED等の発光素子の各列の奇数番目と偶数番目の発光素子を各々独立した第1、第2信号電極群に接続すると共に各行の発光素子を各対応する走査電極に接続してマトリックスパネルを構成し、前記第1、第2信号電極群に対応する絵素情報に相当するPWM信号を1行単位で印加すると共に、上記各走査電極に順次巾2H(但しHは原映像信号の水平走査期間若しくはその整数倍の期間)で順次Hだけ遅延した走査パルスを印加して相隣る2行の発光素子を1行ずつシフトし乍ら表示すべく構成したマトリックスパネル表示装置。

3. 発明の詳細な説明

本発明は、LED等を発光素子とするマトリックスパネル表示装置に関し、マトリックスパネルを構成する発光素子の数を増加することなく発光

輝度の向上を計ることを目的とする。

LED等を発光素子とするマトリックスパネルは、基本的にTV画面のアスペクト比に応じた行(横)、列(縦)数のLEDを縦横にマトリックス状に配列して構成される。そして十分な輝度を確保するために、単位行(例320個)毎に各LEDも同時に1H(水平走査時間)駆動点灯する方法を採っている。従って各発光素子には $1/2625$ のデューティのパルス電流が流れるが、走査線選択スイッチには320個(単位行分)のLEDに流れる電流が積算されて流れるから、相当大容量のものが必要となる。本発明は斯るスイッチ等の容量を変えることなく、発光輝度を2倍としたマトリックスパネル表示装置を提案するものである。以下本発明の詳細を図面を参照しつつ説明する。

第1図は本発明の構成要件の一であるマトリックスパネルの要部拡大図を表わすものである。同図において、発光素子(LED)は、一般に $Lmn$ (但し $m$ 、 $n$ は整数)で示される。

第1、第3、第5……一般に $(2m-1)$ 行の発

光素子は行（横列或は水平）方向に、発光表示すべき1絵素置きに等間隔で配置され、各行の間隔もまた等間隔になるようにセラミック基板上の走査電極上に図示の如く配列される。

これに対し、第2、第4……一般的に第 $2m$ 行の発光素子は、行、列方向に夫々第 $(2m-1)$ 行と第 $(2m-1)$ 行の発光素子を補間すべく図示の如く各 $\frac{1}{2}$ ピッチずつずれた位置に配置され両者相俟ってマトリックスパネルを構成する。そして、第 $(2m-1)$ 行の各発光素子 $(L_{11}, L_{12}, \dots, L_{1n}), (L_{31}, L_{32}, \dots, L_{3n}) \dots (L_{(2m-1)1}, L_{(2m-1)2} \dots L_{(2m-1)n})$ は夫々共通の $(2m-1)$ 走査用電極、 $SG_{2m-1}$ に、また、第 $2m$ 行の各発光素子 $(L_{21}, L_{22} \dots L_{2n}) (L_{41}, L_{42} \dots L_{4n}) \dots (L_{2m1}, L_{2m2}, \dots L_{2mn})$ は、夫々共通の第 $2m$ 走査用電極 $SG_{2m}$ にそれぞれ接続される。

また、第1、3、5……一般的に第 $(2n-1)$ 列を形成する各発光素子群は、各々の列毎に共通の信号側電極に（即ち第 $2k-1$ 列の発光素子群

は第 $2k-1$ 信号電極に）接続され、第2、4、6……一般的に第 $2n$ 列を形成する各発光素子群は各々の列毎に共通の信号電極に（即ち第 $2n$ 列の発光素子群は第 $2k$ 信号電極に）接続される。

行、列各発光素子（絵素子）を等間隔で配置してマトリックスパネルを構成する場合には、第2図の如く各列の発光素子のうち、 $(2n-1)$ （奇数）番目のものを対応する第 $2k-1$ 信号電極に、 $2n$ （偶数）番目のものを対応する第 $2k$ 信号電極に接続する。

各発光絵素と各対応電極間の接続は、フォトリソ法処理される格子状透明導電性電極に導電性接着剤を介して接合し或はワイヤボンディング法等を採ってもよい。また、基板として、セラミックの代りに絶縁層を設けたアルミニウム板を使用することができる。

次に、第3図のブロック図を参照しつつ、斯るマトリックスパネルの駆動回路について説明する。通常、マトリックスパネルは、水平ドライバ回路H Dに依って1ライン毎に、そのラインを構成す

る発光素子群に対応する輝度（PWM）信号を一斉に付与し、垂直走査ドライバ回路V Dに依って発光ラインを順次上方から下方にシフトする構成を採っているが、本発明においては、水平ドライバ回路を前記第 $(2k-1)$ 、第 $2k$ の各信号電極群に対応して、2系列（H D1及びH D2）設けると共に、各々に対応するPWM信号を供給した状態で相隣を走査電極に同時に2H巾（但しHは表示すべき映像信号の水平走査期間若しくはその整数倍の期間を示す）の駆動パルス（第3図参照）を印加し、これを1Hづつシフトし乍ら相隣る行を同時に表示する。

前記各水平ドライバ回路H D1及びH D2を駆動する各PWM信号は、各々標準（TV）映像信号を基準クロックパルス発生回路S Cの出力でサンプリングし且つA D変換するA D変換回路A Dと、該出力を前記マトリックスパネルのnライン分記憶するラインメモリ（L M1或はL M2）及びPWM変調回路（PWM1或はPWM2）の組み合わせ回路で作成される。

前記A D変換回路A Dは、図示の如くコンパレータC O Mと、サンプリングホールド回路S P H及び例えば4ビットのエンコーダE Dで構成されるが基本的には周知であるので、説明は割愛する。前記PWM変調回路P W Mは、前記nラインメモリL Mの出力でプリセットされ、PWM変調用クロックパルス発生回路P O Pの出力をカウントするダウンカウンタ（図示せず）と、垂直走査パルスに同期するプリセットパルスP1でセットされ、前記ダウンコンパレータの出力でリセットされるフリップフロップ回路（図示せず）で構成される。前記クロックパルス発生回路P Oは、サンプリングした原信号の階調に応じてA D変換される際の階調数に応じてその周波数を変え、例えば0乃至7までは $f_1=551\text{ KHz}$ 、8乃至15までは $157\text{ KHz}$ とすることによって、入力信号対PWM信号中の補正曲線に近似して非直線的PWM変調をかけて、総合的光入力対光出力特性の直線性を確保すべく構成している。前記垂直走査ドライバ回路V D1、V D2は、スキャンパルス発生回路の

出力を受け、マトリックスパネルの走査電極 SC1, SC2, SC3, SC4……に順次第4図示の如き走査パルスを印加し、奇、偶数走査行を同時に表示して行く。各走査

次に、本発明装置の動作について第4図の垂直駆動パルス波形説明図を併せ参照しつつ説明する。

上記マトリックスパネルの行（水平）方向の発光素子の数に応じてその周期を設定されるクロックパルス発生回路 SC の出力クロックパルスは、サンプリングパルスとして上記 A-D 変換回路 A/D に加えられ入力複合映像信号をサンプリングし、エンコーダ ED によりサンプリング点の原映像の階調を表すデジタル信号に変換する。

各垂直走査電極、例えば、第1、第2、第3及び第4走査電極に印加される走査パルスの時間関係と、PWM変調回路を構成するダウンカウンタをプリセットのタイミング及びラインメモリへの記憶のタイミングは第4図の如くなる。

即ち、或る走査線の映像信号が A/D 変換され、PCM信号としてラインメモリに記憶されると、

特開昭55-59492(3)

次の走査線の始まりでこのメモリの内容を PWM1 のダウンカウンタにプリセットし、2H かけて第1行の走査線上の各発光素子を点灯する。これと並行して次走査線の映像信号が A/D 変換され、PCM信号としてラインメモリに記憶され、次の走査線の始まりで PWM2 のダウンカウンタにプリセットされ、第2行の走査線上の素子を点灯する。而して、相隣る走査行の発光素子群が同時に（第1、第2）、（第2第3）、（第3第4）行……の如く順次発光素子され、走査電極選択スイッチ等の電流容量を増すことなく断度を向上せしめることが出来る。また第1図の如きマトリックスパネルと組み合わせれば、補間効果により見出しの解像度を向上することができる。

#### 4. 図面の簡単な説明

図面は、いずれも本発明装置に係り、第1図はマトリックスパネルの要部正面図、第3図は駆動回路のブロック図、第4図は波形説明図である。

(MP)……マトリックスパネル

(L)……発光素子 (SG)……信号電極群

(SC)……走査電極群

(PWM)……PWM回路

(LM)……1ラインメモリ

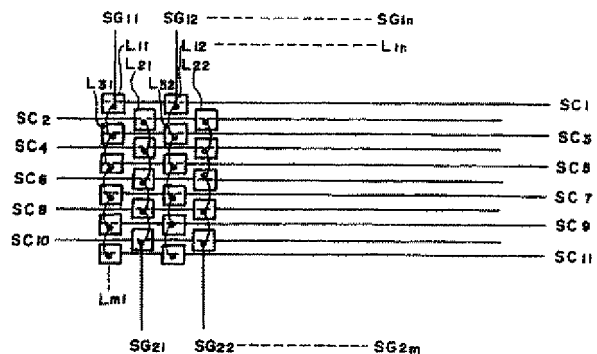
特許出願人

三洋電機株式会社

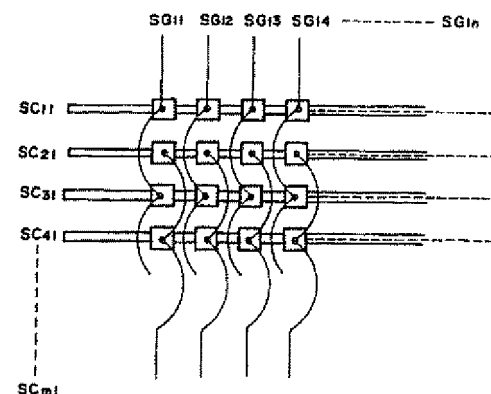
代表者 井 植



第1図



第2図



[illegible]

第4図

